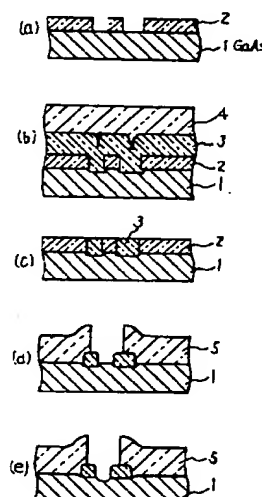


(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 5-13445 (A) (43) 22.1.1993 (19) JP
 (21) Appl. No. 3-164826 (22) 5.7.1991
 (71) NEC CORP (72) AKIO ICHIMURA
 (51) Int. Cl.⁵. H01L21/338, H01L29/812, H01L21/28, H01L21/302

PURPOSE: To form a two-step recess, in which a misregistration is not generated, by a method wherein when a wide recess is formed in a GaAs MESFET or the like and a narrow recess in the lower part of a gate is formed in the wide recess, the position of the two-step recess is determined by one alignment.

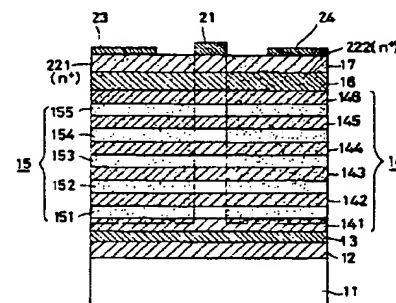
CONSTITUTION: A nitride film 2 is grown on a GaAs substrate 1 and the upper part only of a wide recess is etched away except the lower part of a gate. The substrate 1 is etched using this film 2 as a mask and the wide recess except the lower part of the gate is formed. Then, after an oxide film 3 is grown, a resist 4 is applied and an etchback flattening is performed until the film 2 is exposed. Then, dry etching is performed on the condition that an etching rate in the film 2 is sufficiently higher than that in the film 3 and the film 2 is removed. Then, the substrate surface other than the gate part is masked with a resist 5 and the substrate 1 is etched to form the recess in the lower part of the gate.

**(54) COMPOUND SEMICONDUCTOR DEVICE**

(11) 5-13446 (A) (43) 22.1.1993 (19) JP
 (21) Appl. No. 3-166653 (22) 8.7.1991
 (71) NIPPONDENSO CO LTD (72) TAKAMASA SUZUKI(3)
 (51) Int. Cl.⁵. H01L21/338, H01L29/812, H01L21/20

PURPOSE: To provide a compound semiconductor device capable of constituting a transistor, which undergoes no change in characteristics, such as an electron mobility and the like, in a wide temperature range and is suitable for a high-speed and high-frequency circuit.

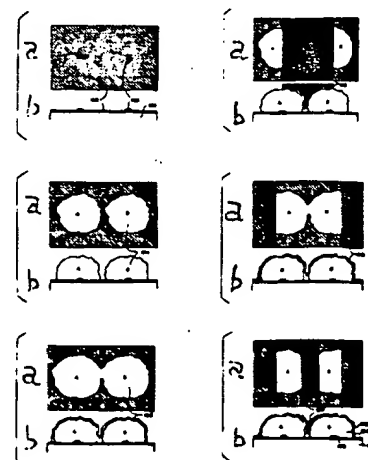
CONSTITUTION: An I-type GaAs buffer layer 12 and an I-type Al/GaAs barrier layer 13 are formed on a semi-insulative GaAs single crystal substrate 11 and a multilayer structure obtainable by forming alternately I-type GaAs layers 141 to 146 and delta doped layers 151 to 155, which are constituted by doping Si to the surfaces of these layers 141 to 146, on the layer 13 is formed. Moreover, a barrier layer 16 and a cap layer 17 are formed on the multilayer structure and after a gate electrode 21 is formed, n⁺ layers 221 and 222 are formed by implanting an impurity and a source electrode 23 and a drain electrode 24 are formed, whereby field-effect transistor is constituted.

**(54) FIELD-EFFECT TRANSISTOR AND MANUFACTURE THEREOF**

(11) 5-13447 (A) (43) 22.1.1993 (19) JP
 (21) Appl. No. 3-188302 (22) 3.7.1991
 (71) CANON INC (72) HIDEJI KAWASAKI(3)
 (51) Int. Cl.⁵. H01L21/338, H01L29/812, H01L21/205, H01L29/46

PURPOSE: To obtain a FET having uniform characteristics over a large area by a method wherein monocrystalline or polycrystalline islands are formed from two growth starting points, the islands are brought into contact with each other and a gate is provided at the contact part between the islands.

CONSTITUTION: A non-single crystal material (a non-nucleation surface) 102 of a small nucleation density is deposited on a heat-resisting substrate 101 and thereafter, non-single crystal material (nucleation surfaces) 103 are deposited. Then, P or N-type semiconductor regions 104 are formed with the surface 103 as the starting points using an MOCVD method utilizing a difference between the nucleation densities of the surfaces 102 and 103 and are used as crystal islands A and B. Then, after an operating layer 105 is formed, each part of the surfaces, which do not include the contact part between the crystal islands, of the islands A and B is removed and electrodes 106 are respectively formed on one part of an exposed part of each internal semiconductor region. Another electrode 107 is formed on each one part of parts, which are not exposed, of the internal semiconductor regions and include the contact part between the islands A and B. Thereby, an FET, which is actuated at high speed over a large area, can be formed.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-13446

(43)公開日 平成5年(1993)1月22日

(51)Int.Cl.⁵

H 0 1 L 21/338
29/812
21/20

識別記号

庁内整理番号

9171-4M

7739-4M

F I

H 0 1 L 29/ 80

技術表示箇所

B

審査請求 未請求 請求項の数2(全 5 頁)

(21)出願番号 特願平3-166653

(22)出願日 平成3年(1991)7月8日

(71)出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72)発明者 鈴木 孝昌

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72)発明者 佐野 直樹

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72)発明者 大見 真也

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(74)代理人 弁理士 鈴江 武彦

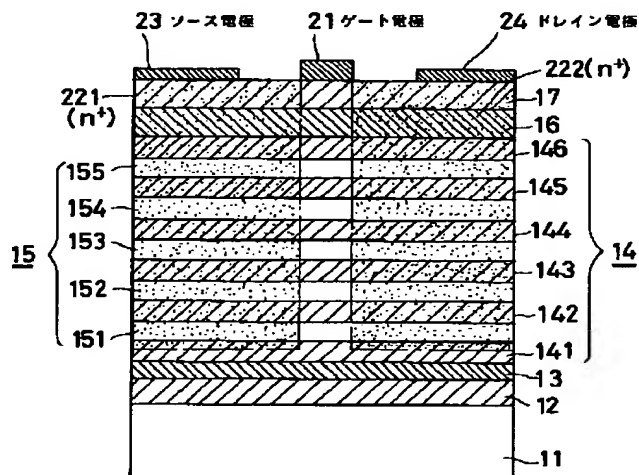
最終頁に続く

(54)【発明の名称】 化合物半導体装置

(57)【要約】

【目的】この発明は、広い温度範囲において電子移動度等の特性に変化がない、高速、高周波回路に適するトランジスタを構成できる化合物半導体装置を提供することを目的とする。

【構成】半絶縁性のGaAs単結晶基板11上に、i-GaAsのバッファ層12およびi-AlGaAsの障壁層13を形成し、その上にi-GaAs層141~146と、このi-GaAs層141~146の表面にSiをドーピングして構成したデルタドーピング層151~155とを交互に積層した多層構造を形成する。そして、その上に障壁層16およびキャップ層17を形成し、ゲート電極21形成した後不純物を注入することによってn⁺層221、222を形成し、ソース電極23およびドレイン電極24を形成することで電界効果型トランジスタが構成されるようになる。



11 : 半絶縁性GaAs基板
12 : バッファ層 (i-GaAs)
13 : i-AlGaAs 層
14 : i-GaAs 層
15 : Si ドーピング層
16 : i-AlGaAs 層 (バリア層)
17 : i-GaAs 層 (キャップ層)

【特許請求の範囲】

【請求項1】 半導体基板と、

この半導体基板上に形成されたバッファ層と、
このバッファ層上に形成された多層構造層とを具備し、
この多層構造層は、一単位となる母材半導体層を複数の
層に積層構成したもので、その母材半導体層は、各々そ
の積層界面でこの母材半導体層の少なくとも1原子層内
に異種原子をドーピングして形成されたドーピング層を有し、
このドーピング層が少なくとも2層設定されるように前記母
材半導体層が積層されるようにしたことを特徴とする化
合物半導体装置。

【請求項2】 前記多層構造層を構成する一単位の母材
半導体層は、その積層界面に前記ドーピング層を挟むように
前記母材半導体層よりも広い禁制帯幅を有する半導体層
を有していることを特徴とする請求項1記載の化合物半
導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、特に広い温度域にお
いて電子移動度等の特性が安定して設定されるようにし
た化合物半導体装置に関する。

【0002】

【従来の技術】Ga As 電界効果型トランジスタを用い
て構成された高速論理ICにおいて、このICの動作速
度の上限が、このICを構成するトランジスタのスイッ
チング速度から計算される速度限界よりも遅くなるもの
であることが知られている。

【0003】このICの動作速度が遅くなる原因は、IC
を構成する電界効果型トランジスタの電流供給能力が
小さいためであり、トランジスタの負荷となる次段のト
ランジスタの入力容量や配線の浮遊容量を放電する速度
が、トランジスタのスイッチング速度より遅くなるため
である。

【0004】このような問題を解決するためには、トラン
ジスタの負荷容量駆動能力を高める必要がある。このた
め、トランジスタの能動層のキャリア（Nチャンネルの
電界効果型トランジスタの場合は電子、Pチャンネルの
電界効果型トランジスタの場合は正孔）濃度を高めるこ
とが必要となる。ここで、Ga As 系の化合物半導体装
置において、不純物原子を1原子層にドーピングしたデル
タドーピング構造では、高いキャリア濃度が得られることが知
られている。

【0005】デルタドーピング構造のトランジスタにおい
ては、デルタドーピング層を表面から10～100nm程度の範
囲に設定している。このような構造では、キャリアの移動
度の温度特性が、不純物のドーピング量によって大きく変化
する。したがって、移動度の温度依存性の小さい条件で
は、キャリア濃度および移動度が一義的に決まるように
なり、性能を向上させることができない。

【0006】

【発明が解決しようとする課題】この発明は上記のよう
な点に鑑みなされたもので、特にデルタドーピング構造を有
するトランジスタの相互コンダクタンスおよびしきい値
電圧の温度依存性を改善し、広い温度範囲にわたって電
子移動度等のトランジスタ特性に変化のない、高速およ
び高周波回路に適用可能な化合物半導体装置を提供しよ
うとするものである。

【0007】

【課題を解決するための手段】この発明に係る化合物半
導体装置は、例えばGa As 単結晶でなる半導体基板上
にバッファ層を介して多層構造層を形成するもので、こ
の多層構造層は一単位とされる母材半導体層を積層して
構成したもので、このそれぞれの母材半導体層の積層界
面に、この半導体層の1原子層内に異種の原子をドー
ピングしてドーピング層を形成するもので、このドーピング層が少なく
とも2層形成されるよう複数段積層するようにしてい
る。

【0008】

【作用】この様に構成される化合物半導体装置におい
ては、異種原子をドーピングして形成したデルタドーピング層を1
層ではなく複数層形成して多層構造層を構成するよう
にしているものであるため、電子移動度の温度依存性が改
善されるものであり、キャリアの濃度をトランジスタの
目的に応じて所望の値に設定できるようになる優れた特
徴を有する。

【0009】

【実施例】以下、図面を参照してこの発明の一実施例を
説明する。図1はエピタキシャル成長基板によって構成
された電界効果型トランジスタの断面構造を示している
もので、まずこのエピタキシャル成長基板の構造を、そ
の製造工程にしたがって説明する。

【0010】ここで、エピタキシャル成長は分子線エ
ピタキシャル成長法（MBE法）によって形成するもの
であるが、MOCVD法（有機金属気相成長法）等の原子
層オーダの成長制御が可能な手段であれば、適宜使用可
能である。

【0011】まず、半絶縁性Ga As 半導体の単結晶基
板11を用意し、この単結晶基板11上に不純物をドーピン
グしないi-Ga As によるバッファ層12を、厚さ0.5μ
mでエピタキシャル成長によって形成する。

【0012】この様にバッファ層12が成長されたなら
ば、このバッファ層12上に障壁層13を厚さ300nmで形
成するもので、この障壁層13は、Al_{0.3}Ga_{0.7}As
で構成される。

【0013】この障壁層13の上には、不純物をドーピン
グしないi-Ga As 層141を厚さ6nmで成長させた後、こ
の成長のために開かれていたGa 蒸発源のシャッターを閉
じ、これと同時にもしくは数秒後にSi 蒸発源のシャッター
を60秒間開き、Si ドーピング層151を形成し、1つ
のデルタドーピング層が形成されるようにする。

【0014】次に、再びこのSi 蒸発源のシャッタを閉じると共に、Ga 蒸発源のシャッタを開いてi-Ga As 層142を6nm成長させ、このGa 蒸発源シャッタを閉じた後Si 蒸発源のシャッタを60秒間開き、Si ドーピング層152を形成する。この様な工程を5回繰り返すことによって、不純物をドーブしないi-Ga As 層141~145(14)およびSi ドーピング層151~155(15)を交互に配置した多層構造が形成され、最後にさらにi-Ga As 層146を形成してこの多層構造層が完成される。

【0015】すなわち、この多層構造層は一単位となるi-Ga As 層を母材半導体層として積層しているもので、この母材半導体層の積層界面において、この母材半導体層の少なくとも1原子層内に異種原子をドーブしてドーピング層(デルタドーブ層)を形成するようになるもので、このデルタドーブ層が5層形成されるようになっている。

【0016】この様な多層構造部の上には、i-Al_{0.3}Ga_{0.7}As の障壁層16(バリア層)を30nmの厚さで形成し、最後にi-Ga As キャップ層17を形成して、このエピタキシャル成長基板が完成される。

【0017】この様なエピタキシャル成長基板を用いて電界効果型トランジスタを構成するもので、まずエピタキシャル成長基板の表面、すなわちキャップ層17の表面上の全面にWSi_x(x=0.6)の薄膜を厚さ30nmとなるように高周波スパッタリングによって形成し、この薄膜を反応性イオンエッチングによってパターンエッチングすることにより、ゲート電極21を形成する。

【0018】この様にゲート電極21が形成されたならば、このゲート電極21をマスクとして用い、キャップ層17の表面からSi イオンを注入し、900℃で5秒間アニールしてドーブされたSi を活性化し、n'層221、222(図に鎖線で囲まれた点の集合で示す領域)を形成する。

【0019】そして、キャップ層17の表面のn'層221および222に対応するソースおよびドレイン部分に、AuGe 40nm、Au 150nmで形成し、450℃で90秒間のシンタを行うことで、ソース電極23およびドレイン電極24を形成する。

【0020】図2は上記のように構成されたエピタキシャル成長基板における電子移動度の温度依存性を示している。この図から明らかなように、電子の移動度は77K~350Kの範囲で1020~950cm²/Vsという極めて狭い範囲に収まるようになる。また、シートキャリア濃度も2×10¹³cm⁻²と、デルタドーブ層が1層の場合よりも大きい。

【0021】この様な現象は次のようなことが要因となる。まず、デルタドーブ層を1層から2層以上の多層とすることにより、シートキャリア濃度は層の数の倍数にすることができる。したがって、このデルタドーブ層の

間隔を適当な値に選定することができる。

【0022】実施例においては、デルタドーブ層の数は5層に設定されたが、この層数は2層以上ならば同様の効果が発揮される。図3はデルタドーブ層が1層の場合と2層の場合の移動度の温度依存性を比較して示しているもので、デルタドーブ層を2層にすることによって、1層の場合に比較して温度依存性が極めて小さくなっていることが理解できる。

【0023】このデルタドーブ層の間隔は、実施例においては6nmとしたが、100nm以内ならば同様の効果が発揮され、その間隔が狭いほど2次元フォノン化の効果は顕著になることが期待できる。図4はデルタドーブ層が1層の場合と2層の場合のシートキャリア濃度の温度依存性を示しているものであるが、必要なシートキャリア濃度はデルタドーブ層の数を複数層化することによって達成できる。

【0024】n型のAlGaAs 層とこれに接するGaAs 層との界面では、AlGaAs とGaAs とはバンドギャップ(禁制帯幅)が異なり、AlGaAs の方がバンドギャップが大きい。このため、AlGaAs から電子親和力の大きいGaAs 側に電子が移動するようになるもので、禁制帯幅が大きいほど絶縁性が大きくなる。

【0025】これを実施例に対応してみると、図1においてデルタドーブ層を含むGaAs 層14は、AlGaAs 層13および16によって挟持された構造となっている。したがって、禁制帯幅の大きなAlGaAs 層13および16側へ電子が入り難くなり、GaAs 層14側に電子が閉じ込められた状態となる。すなわち、シートキャリア濃度が向上する。また、AlGaAs 層16が存在するため、ゲート電極21の直下はショットキー障壁が大きくなり、ゲート耐圧が向上されるようになる。

【0026】尚、実施例では単結晶基板11をGaAs にによって構成したが、特にGaAs に限らず、Si、Ge、InP等の半導体一般に適用できる。また、デルタドーブする不純物原子は、実施例に示したSiに限るものではない。

【0027】また、図1で示した構造において障壁層13をはぶいた構造とすることも可能であり、また障壁層16をはぶいた構造とすることもできる。そのいずれにおいても温度特性が改善される効果が得られる。また、障壁層16およびキャップ層17をそれぞれ構成するi-AlGaAs 層およびi-GaAs 層をn型に構成して、電界効果型トランジスタを構成するに際してイオン注入を行わない構造とすることもできる。

【0028】

【発明の効果】以上のようにこの発明に係る化合物半導体装置によれば、広い温度範囲にわたって電子移動度等のトランジスタ特性に変化のない、高速および高周波回路に適用可能なトランジスタが構成できるようになる。

【図面の簡単な説明】

【図 1】 この発明の一実施例に係る化合物半導体によって構成された電界効果型トランジスタを示す断面図。

【図 2】 実施例で示した化合物半導体の電子移動度、シートキャリア濃度の温度依存性を説明する図。

【図 3】 デルタドープ層を 1 層にした場合と 2 層にした場合の電子移動度の温度依存性を比較して示す図。

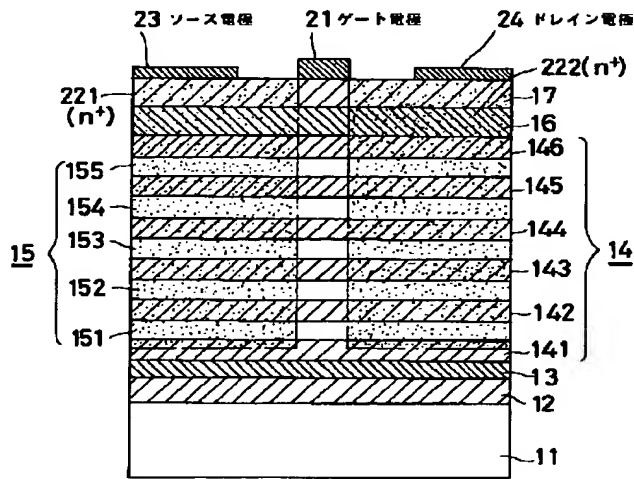
【図 4】 デルタドープ層を 1 層にした場合と 2 層にした *

* 場合のシートキャリア濃度の温度依存性を比較して示す図。

【符号の説明】

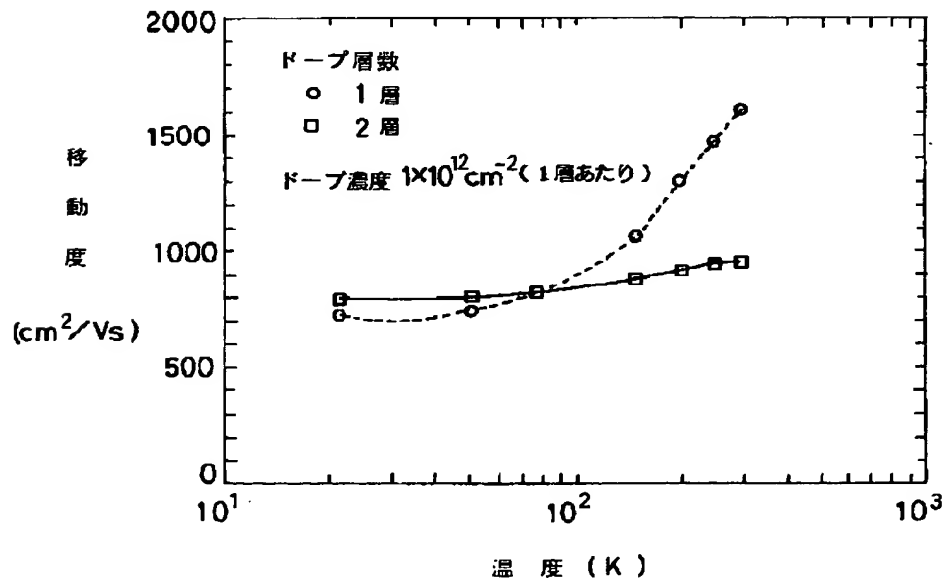
11…単結晶基板 (GaAs)、12…バッファ層、13、16…障壁層、14、141 ~ 146 … i-GaAs 層、15、151 ~ 155 … Si ドーピング層、17…キャップ層、21…ゲート電極、221、222 … n' 層、23…ソース電極、24…ドレイン電極。

【図 1】

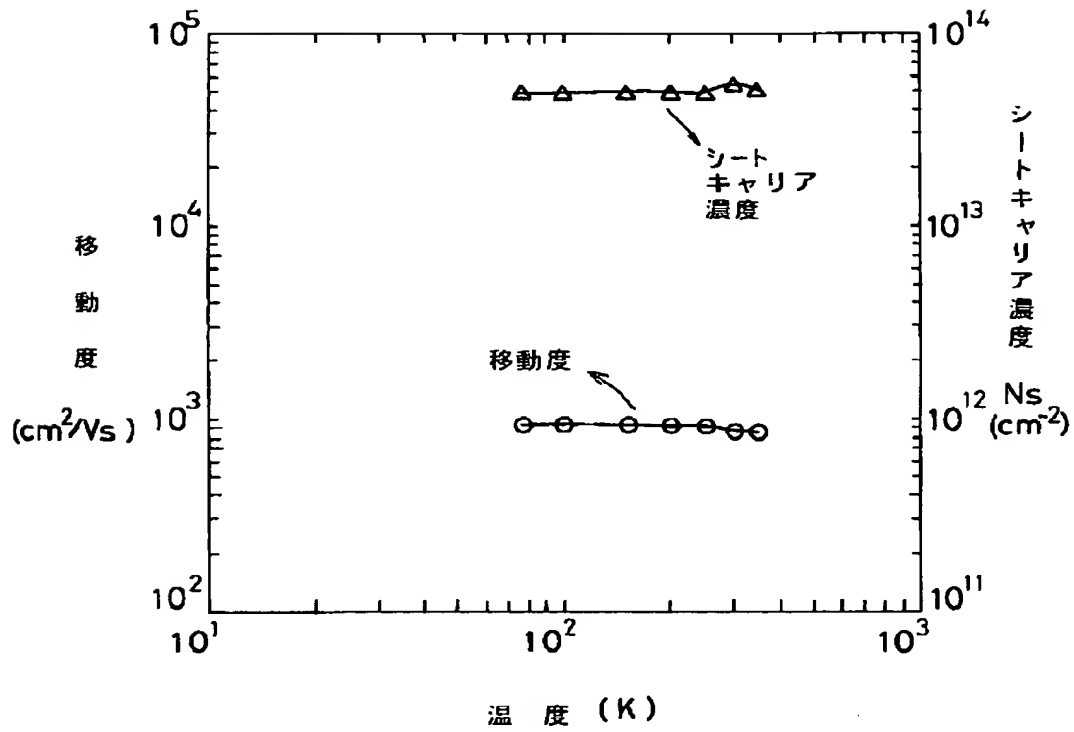


- 11 : 半絶縁性 GaAs 基板
- 12 : バッファ層 (i-GaAs)
- 13 : i-AlGaAs 層
- 14 : i-GaAs 層
- 15 : Si ドーピング層
- 16 : i-AlGaAs 層 (バリア層)
- 17 : i-GaAs 層 (キャップ層)

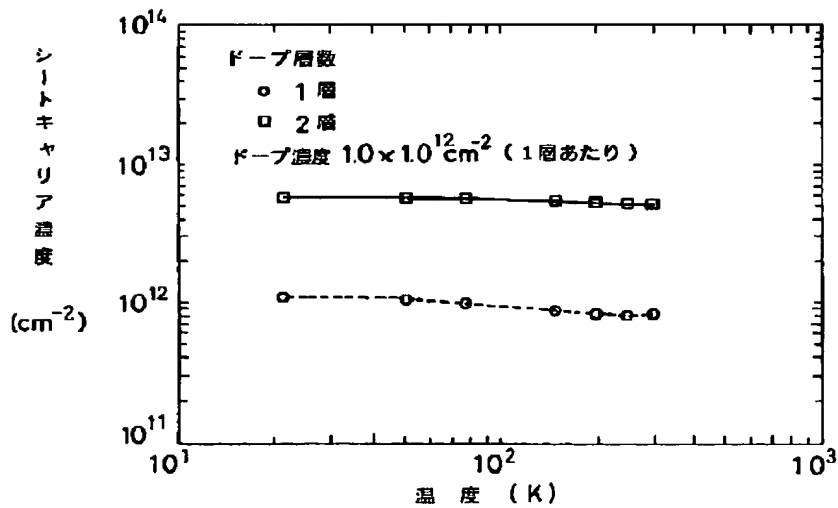
【図 3】



【図2】



【図4】



フロントページの続き

(72)発明者 伊藤 寛
愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内